

1/3/6 (Item 6 from file: 351)  
DIALOG(R)File 351:Derwent WPI  
(c) 2006 Thomson Derwent. All rts. reserv.

011802551 \*\*Image available\*\*  
WPI Acc No: 1998-219461/199820  
XRPX Acc No: N98-173570

High efficiency linear amplifier of several frequency bands - has  
pre-amplifier circuit connected to input terminals for receiving several  
frequency bands, for amplifying input signals and changeover circuit for  
the frequency bands

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD (MATU ); MATSUSHITA DENKI  
SANGYO KK (MATU )

Inventor: ENOKI T; ISHIDA K; KATO H; KOSUGI H; MIYAJI M; MORINAGA Y

Number of Countries: 022 Number of Patents: 010

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 837559	A1	19980422	EP 97117956	A	19971016	199820 B
JP 10126164	A	19980515	JP 96275770	A	19961018	199830
JP 10190379	A	19980721	JP 96347231	A	19961226	199839
KR 98032905	A	19980725	KR 9753176	A	19971017	199932
US 5973557	A	19991026	US 97950859	A	19971015	199952
CN 1183673	A	19980603	CN 97121336	A	19971020	200242
EP 837559	B1	20040107	EP 97117956	A	19971016	200405
DE 69727110	E	20040212	DE 97627110	A	19971016	200419
			EP 97117956	A	19971016	
KR 451010	B	20041217	KR 9753176	A	19971017	200526
CN 1119857	C	20030827	CN 97121336	A	19971020	200549

Priority Applications (No Type Date): JP 96347231 A 19961226; JP 96275770 A  
19961018

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

EP 837559 A1 E 37 H03F-003/72

Designated States (Regional): AT BE CH DE DK ES FI FR GB GR IE IT LI LU  
MC NL PT SE

JP 10126164 A 10 H03F-001/02

JP 10190379 A 11 H03F-003/68

KR 98032905 A H04B-001/40

US 5973557 A H03F-001/14

CN 1183673 A H03F-003/20

EP 837559 B1 E H03F-003/72

Designated States (Regional): DE FR GB

DE 69727110 E H03F-003/72 Based on patent EP 837559

KR 451010 B H04B-001/40 Previous Publ. patent KR 98032905

CN 1119857 C H03F-003/20

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-190379

(43)Date of publication of application : 21.07.1998

(51)Int.Cl.

H03F 3/68

H03F 3/60

(21)Application number : 08-347231

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 26.12.1996

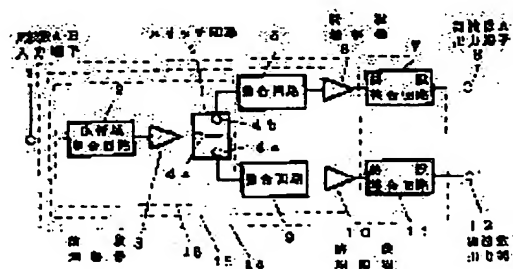
(72)Inventor : ISHIDA KAORU  
KOSUGI HIROAKI  
MORINAGA YOICHI  
ENOKI TAKASHI  
KATO EISHIN

## (54) PLURAL-FREQUENCY-BAND HIGHLY EFFICIENT LINEAR POWER AMPLIFIER

## (57)Abstract:

PROBLEM TO BE SOLVED: To reduce the number of component elements, to simplify circuit constitution and to make a circuit space small.

SOLUTION: Signals inputted from an input terminal 1 in common to frequency bands A and B are matched in a wide band matching circuit 2 for both of the frequency bands A and B, amplified in a preceding stage amplifier 3 and inputted to the common terminal 4a of a switching circuit 4. The signals of the frequency band A are inputted to a switching terminal 4b, matched in a matching circuit 5 and amplified in a final stage amplifier 6 and the output is matched in a final stage matching circuit 7 and outputted from an output terminal 8. In the meantime, similarly, the signals of the frequency band B are inputted to the other switching terminal 4c of the switching circuit 4, matched in the matching circuit 9 and amplified in the final stage amplifier 10 and the output is matched in the final stage matching circuit 11 and outputted from the output terminal 12.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-190379

(43)公開日 平成10年(1998) 7月21日

(51)Int.Cl.<sup>5</sup>

H 0 3 F 3/68

3/60

識別記号

F I

H 0 3 F 3/68

3/60

Z

審査請求 未請求 請求項の数14 O L (全 11 頁)

(21)出願番号

特願平8-347231

(22)出願日

平成8年(1996)12月26日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 石田 薫

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 小杉 裕昭

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 森永 洋一

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 弁理士 松田 正道

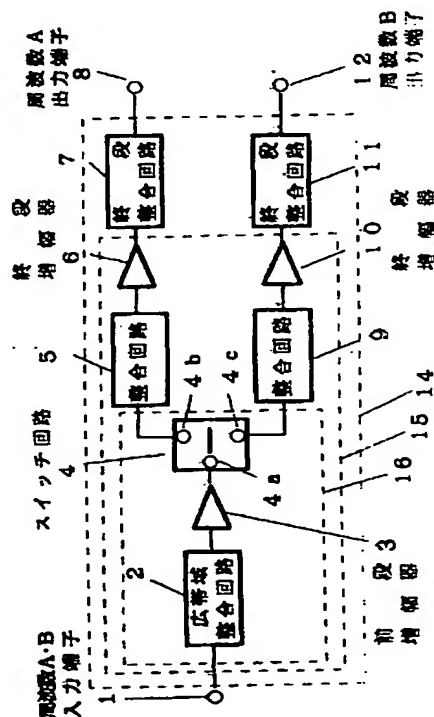
最終頁に続く

(54)【発明の名称】 複数周波数帯域高効率線形電力増幅器

(57)【要約】

【課題】 部品素子数を低減して回路構成を簡素にし、回路スペースを小にできる複数周波数帯域高効率線形電力増幅器を提供すること。

【解決手段】 周波数帯域AおよびBに共通の入力端子1から入力された信号は広帯域整合回路2で周波数帯域A、Bとも整合され前段増幅器3で増幅されてスイッチ回路4の共通端子4aに入力され、周波数帯域Aの信号は切り換え端子4bへ入力し整合回路5で整合されて終段増幅器6で増幅され、その出力は終段整合回路7で整合されて出力端子8より出力され、他方同様に周波数帯域Bの信号はスイッチ回路4の他方の切り換え端子4cへ入力され整合回路9で整合されて終段増幅器10で増幅され、その出力は終段整合回路11で整合されて出力端子12より出力される。



## 【特許請求の範囲】

【請求項1】 複数周波数帯域の信号を入力する入力端子に接続され複数周波数帯域の入力信号を増幅する前段増幅手段と、

前記前段増幅手段の出力を切り換えて複数の切り換え端子のいずれかに出力する複数周波数帯域切り換え手段と、

前記複数周波数帯域切り換え手段の複数の切り換え端子のそれぞれに接続された複数の終段増幅ブロックとを備え、

前記複数の終段増幅ブロックのそれぞれは、単一の周波数帯域において前記前段増幅手段の出力と後記終段増幅手段の入力とのインピーダンス整合を行う単一周波数帯域整合手段と、前記単一周波数帯域整合手段の出力信号を増幅する終段増幅手段と、前記終段増幅手段の出力に接続され、単一の周波数帯域において前記終段増幅手段の出力インピーダンス整合を行う終段整合手段と、前記終段整合手段の出力信号を出力する出力端子とを備えたことを特徴とする複数周波数帯域高効率線形電力増幅器。

【請求項2】 前段増幅手段の出力を補助整合手段を介して前記複数周波数帯域切り換え手段に接続し、前記補助整合手段は各周波数帯域の前記単一周波数帯域整合手段の素子と協働して動作周波数帯域における前記前段増幅手段と前記終段増幅手段の入力とのインピーダンス整合を行うことを特徴とする請求項1に記載の複数周波数帯域高効率線形電力増幅器。

【請求項3】 入力端子と前記前段増幅手段の入力との間に複数の周波数帯域において前段の出力と前記前段増幅手段の入力とのインピーダンス整合を行う広帯域整合手段を備えたことを特徴とする請求項1または2に記載の複数周波数帯域高効率線形電力増幅器。

【請求項4】 補助整合手段は接地されたキャパシタンスまたは低インピーダンス線路であり、前記単一周波数帯域整合手段はインダクタンスであることを特徴とする請求項2に記載の複数周波数帯域高効率線形電力増幅器。

【請求項5】 広帯域整合手段はインダクタンスとキャパシタンスの1組とネガティブフィードバック増幅器との組み合わせである請求項3に記載の複数周波数帯域高効率線形電力増幅器。

【請求項6】 少なくとも全構成要素を同一半導体チップ上に構成したことを特徴とする請求項1、2又は3に記載の複数周波数帯域高効率線形電力増幅器。

【請求項7】 少なくとも前記前段増幅手段、前記複数周波数帯域切り換え手段、前記複数の単一周波数帯域整合手段および前記複数の終段増幅手段を同一半導体チップ上に構成したことを特徴とする請求項1に記載の複数周波数帯域高効率線形電力増幅器。

【請求項8】 少なくとも前記前段増幅手段、前記補助

整合手段、前記複数周波数帯域切り換え手段、前記複数の単一周波数帯域整合手段および前記複数の終段増幅手段を同一半導体チップ上に構成したことを特徴とする請求項2に記載の複数周波数帯域高効率線形電力増幅器。

【請求項9】 少なくとも前記広帯域整合手段、前記前段増幅手段、前記複数周波数帯域切り換え手段、前記複数の単一周波数帯域整合手段および前記複数の終段増幅手段を同一半導体チップ上に構成したことを特徴とする請求項3に記載の複数周波数帯域高効率線形電力増幅器。

【請求項10】 少なくとも前記広帯域整合手段、前記前段増幅手段、前記補助整合手段、前記複数周波数帯域切り換え手段、前記複数の単一周波数帯域整合手段および前記複数の終段増幅手段を同一半導体チップ上に構成したことを特徴とする請求項3に記載の複数周波数帯域高効率線形電力増幅器。

【請求項11】 少なくとも前記前段増幅手段、前記複数周波数帯域切り換え手段を同一半導体チップ上に構成したことを特徴とする請求項1に記載の複数周波数帯域高効率線形電力増幅器。

【請求項12】 少なくとも前記前段増幅手段、前記補助整合手段、前記複数周波数帯域切り換え手段を同一半導体チップ上に構成したことを特徴とする請求項2に記載の複数周波数帯域高効率線形電力増幅器。

【請求項13】 少なくとも前記広帯域整合手段、前記前段増幅手段、前記複数周波数帯域切り換え手段を同一半導体チップ上に構成したことを特徴とする請求項3に記載の複数周波数帯域高効率線形電力増幅器。

【請求項14】 少なくとも前記広帯域整合手段、前記前段増幅手段、前記補助整合手段、前記複数周波数帯域切り換え手段を同一半導体チップ上に構成したことを特徴とする請求項3に記載の複数周波数帯域高効率線形電力増幅器。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は2以上の複数の周波数帯を切り換えて用いることのできる複数周波数帯域高効率線形電力増幅器に関する。

【0002】

【従来の技術】 従来、複数周波数帯域高効率線形電力増幅器は図7のブロック図に示した構成のものが知られている。図において、周波数帯域Aの入力端子20にはたとえば950MHz帯(940~956MHz)の信号が入力され、整合回路(マッチングネットワーク)21でインピーダンス整合を行い、前段増幅器22で増幅し整合回路23でインピーダンス整合を行い、終段増幅器24で増幅した後、整合回路25でインピーダンス整合を行い出力端子26から周波数帯域Aの940~956MHzの信号出力を取り出す。

## 3

【0003】同様に周波数帯域Bの入力端子27にはたとえば1,900MHz帯(1895.15~1917.95MHz)の信号が入力され、整合回路28でインピーダンス整合を行い、前段増幅器29で増幅し整合回路30でインピーダンス整合を行い、終段増幅器31で増幅した後、整合回路32でインピーダンス整合を行い出力端子33から周波数帯域Bの1895.15~1917.95MHzの信号出力を取り出す。

## 【0004】

【発明が解決しようとする課題】このような従来の複数周波数帯域高効率線形電力増幅器においては、周波数帯域Aと周波数帯域Bの両方に同じような構成の回路を必要とし、部品点数も多くなり、かつ占有スペースも大きなものとなっていた。そこで、従来図8のように、入力端子34には帯域Aすなわち940~956MHzの信号または帯域Bすなわち1895.15~1917.95MHzの信号を入力し、広帯域整合回路35はこの両周波数帯域の周波数に対してインピーダンス整合ができるように調整し、広帯域の前段増幅器36でこの両周波数帯域を増幅し、広帯域整合回路37で同様A、B両周波数帯域でインピーダンス整合を行い、終段増幅器38で増幅して広帯域整合回路39で再び両周波数帯域でインピーダンス整合を行った後、スイッチ回路40で周波数帯域を切り換えて帯域A用の出力端子41または帯域B用の出力端子42に切り換え出力する方法を試みた。

【0005】しかしながらこの方法は部品点数を減少できるが、広帯域整合回路の調整が難しく効率が大きくできないという問題点がある。図9は終段電力増幅器38のFETの出力インピーダンスと負荷インピーダンスの例である。一般に利得最大となる負荷インピーダンスはFETの出力インピーダンスと複素共役である。また利得最大となる負荷インピーダンス、効率最大となる負荷インピーダンス、歪を最小とする負荷インピーダンスは各周波数帯域ごとに互いに異なっている。

【0006】一般に終段増幅器38では低歪や高効率特性に重点をおくので、広帯域整合回路39においてはこのような特性を実現するように整合回路を構成する必要があるが、複数の周波数帯域で複数の拘束条件を持つために設計が難しく特性が劣化しやすい。また電子回路を用いているスイッチ回路40は、通過電力が大きいため使用素子の容量も大きなものが必要で、また電力レベルの高い部分に用いるため損失も大きく電力増幅器の効率を高めることができないという問題点があった。

【0007】本発明は、部品素子数を低減して回路構成を簡素にして、回路スペースを小にできるとともに高効率な複数周波数帯域高効率線形電力増幅器を提供することを目的とする。

## 【0008】

【課題を解決するための手段】この課題を解決するために本発明の請求項1の複数周波数帯域高効率線形電力増

## 4

幅器は、複数周波数帯域の信号を入力する入力端子に接続され複数周波数帯域の入力信号を増幅する前段増幅手段と、前段増幅手段の出力を切り換えて複数の切り換え端子のいずれかに出力する複数周波数帯域切り換え手段と、複数周波数帯域切り換え手段の複数の切り換え端子のそれぞれに接続されそれぞれの周波数帯域ごとの出力端子を有する複数個の終段増幅ブロックとを備え、この複数個の終段増幅ブロックのそれぞれは単一の周波数帯域において前段増幅手段の出力と終段増幅手段の入力とのインピーダンス整合を行う単一周波数帯域整合手段と、単一周波数帯域整合手段の出力信号を増幅する終段増幅手段と、終段増幅手段の出力に接続され単一の周波数帯域において終段増幅手段の出力インピーダンス整合を行う終段整合手段と、終段整合手段の出力信号を接続する出力端子とを備えた構成である。

【0009】この構成において、前段増幅手段まではすべての使用周波数帯域において共通であり、回路素子数を低減して回路構成を簡単にでき、また複数周波数帯域切り換え手段が低電力レベルの箇所にあるので切り換え素子も小さくて済み、さらに負荷インピーダンスの不整合があると損失が大きくなり線形性が悪化して不要輻射の増大につながる高いレベルでの単一周波数帯域整合手段や終段整合手段は各周波数帯域ごとに設けたので、回路性能を最大に保ちながら回路素子数を低減し回路構成を簡単にすることができる。

【0010】本発明の請求項2に記載の発明は、請求項1の発明の構成において、前段増幅手段の出力を補助整合手段を介して複数周波数帯域切り換え手段に接続し、補助整合手段は各周波数帯域の単一周波数帯域整合手段の素子と協働して動作周波数帯域における前段増幅手段と終段増幅手段の入力とのインピーダンス整合を行うように構成したものであり、また請求項4に記載の発明は、請求項2記載の発明において、補助整合手段は接地されたキャパシタンスまたは低インピーダンス線路であり、単一周波数帯域整合手段はインダクタンスであるように構成したものである。

【0011】この構成において請求項1の作用効果に加えて前段増幅手段の直後に設けた補助整合手段が複数周波数帯域切り換え手段を通過した後に設けた単一周波数帯域整合手段の回路素子と協働することによって、具体的には共通に用いる補助整合回路のキャパシタンスと各単一整合手段のインダクタンスとの組み合わせによりコンデンサを共通化したことによって、さらに回路素子数を低減するとともに、補助整合回路によってトランジスタの出力インピーダンスを高めることができトランジスタの出力インピーダンスが低いために起きる複数周波数帯域切り換え手段の損失を改善できるように作用することとなる。

【0012】本発明の請求項3に記載の発明は、請求項1および2の発明の構成において、入力端子と前段増幅

手段の入力との間に複数の周波数帯域において前段の出力と前段増幅手段の入力とのインピーダンス整合を行う広帯域整合手段を備えた構成であり、この広帯域整合手段は具体的な例として請求項5のようにインダクタンスとキャパシタンスの1組とネガティブフィードバック増幅器とを組み合わせたものでも実現することができる。そしてこの構成を用いることによって請求項1および2の構成よりもさらに利得の向上を得ることができる。

【0013】請求項6ないし14の構成は、請求項1ないし3の構成を同一半導体チップ上に形成する構成を示したもので、請求項6の構成は少なくとも請求項1ないし3の構成をすべて同一半導体チップ上に構成したものである。

【0014】請求項6の構成においては、各部品間の間隔を縮め不要なインダクタンスやキャパシタンスの発生を防ぎ回路動作を安定化させ、かつ構成部品数を減少することができ、特に同一条件の製品を大量に生産する場合に好適である。

【0015】請求項7の構成は請求項1の構成のうち、少なくとも前段増幅手段、複数周波数帯域切り換え手段、複数個の単一周波数帯域整合手段および複数個の終段増幅手段を同一半導体チップ上に構成し、請求項8の構成は請求項2の構成のうち、少なくとも前段増幅手段、補助整合手段、複数周波数帯域切り換え手段、複数個の単一周波数帯域整合手段および複数個の終段増幅手段を同一半導体チップ上に構成し、請求項9の構成は請求項3の構成のうち、少なくとも広帯域整合手段、前段増幅手段、複数周波数帯域切り換え手段、複数個の単一周波数帯域整合手段および複数個の終段増幅手段を同一半導体チップ上に構成し、請求項10の構成は、請求項3の構成のうち、少なくとも広帯域整合手段、前段増幅手段、補助整合手段、複数周波数帯域切り換え手段、複数個の単一周波数帯域整合手段および複数個の終段増幅手段を同一半導体チップ上に構成したものである。

【0016】請求項7ないし10の構成においては、請求項6の作用に加えて同一半導体チップに形成する構成要素を限定したので、出力側の条件が異なる場合等に対応する汎用性を高いめられるという利点が生じる。

【0017】請求項11の構成は、請求項1の構成のうち、少なくとも前段増幅手段、複数周波数帯域切り換え手段を同一半導体チップ上に構成し、請求項12の構成は、請求項2の構成のうち、少なくとも前段増幅手段、補助整合手段、複数周波数帯域切り換え手段を同一半導体チップ上に構成し、請求項13の構成は、請求項3の構成のうち、少なくとも広帯域整合手段、前段増幅手段、補助整合手段、複数周波数帯域切り換え手段を同一半導体チップ上に構成したものである。

【0018】請求項11ないし14の構成においては、さらに同一半導体チップに含まれる範囲を限定したので、より汎用性の高い半導体チップを得ることができる。

【0019】

【発明の実施の形態】

（実施の形態1）以下本発明の実施の形態1について、図1および図2を用いて説明する。本発明の実施の形態1の複数周波数帯域高効率線形電力増幅器のブロック図である図1において、第1の周波数帯域である周波数帯域Aおよび第2の周波数帯域である周波数帯域Bに共通の入力端子1は広帯域整合手段である広帯域整合回路2の入力に接続され、広帯域整合回路2の出力は周波数帯域AおよびBを共通に増幅する前段増幅手段である前段増幅器3の入力に接続され、前段増幅器3の出力は複数周波数帯域切り換え手段であるスイッチ回路4の共通端子4aに接続され、スイッチ回路4の一方の切り換え端子4bは単一周波数帯域整合手段である周波数帯域A用の整合回路5の入力に接続され、整合回路5の出力は帯域A用の終段増幅手段である終段増幅器6の入力に接続され、終段増幅器6の出力は周波数帯域A専用の終段整合手段である終段整合回路7を介して周波数帯域A用の出力端子8に接続されている。そして周波数帯域A用の整合回路5、終段増幅器6、および終段整合回路7によって周波数帯域A用の終段増幅ブロックを形成している。

【0020】一方スイッチ回路4の他方の切り換え端子4cは周波数帯域B用の単一周波数帯域整合手段である整合回路9の入力に接続され、整合回路9の出力は終段増幅手段である帯域B用の終段増幅器10の入力に接続され、終段増幅器10の出力は周波数帯域B専用の終段整合手段である終段整合回路11を介して周波数帯域B用の出力端子12に接続されている。そして周波数帯域B用の整合回路9、終段増幅器10、および終段整合回路11によって周波数帯域B用の終段増幅ブロックを形成している。

【0021】このように構成された本実施の形態の動作を次に説明する。帯域Aとしてたとえば従来例と同様に940～956MHzの信号を、また帯域Bとして同様に1895.15～1917.95MHzの信号を扱うものとする。まず周波数帯域Aを増幅するとき、スイッチ回路4の共通端子4aを切り換え端子4b側に切り換えておき、入力端子1から940～956MHzの信号を入力すると、この場合940～1917.95MHzの周波数範囲に対してインピーダンス整合可能な広帯域整合回路2によってインピーダンス整合され前段増幅器3によって増幅され、その出力はスイッチ回路4の共通端子4aから切り換え端子4b側に導通し、周波数帯域Aすなわち940～956MHz用の整合回路5でインピーダンス整合される。整合回路5の出力は帯域A用の

終段増幅器6に入力され、増幅されてその出力は周波数帯域A専用の終段整合回路7でインピーダンス整合されて周波数帯域A用の出力端子8に出力される。

【0022】帯域Bを増幅するとき、スイッチ回路4の共通端子4aを切り換え端子4c側に切り換えておき、1895.15～1917.95MHzの信号を入力端子1から入力すると、この場合940～1917.95MHzの周波数範囲に対してインピーダンス整合可能な広帯域整合回路2によってインピーダンス整合され前段増幅器3によって増幅され、その出力はスイッチ回路4の共通端子4aから、切り換え端子4c側に導通して周波数帯域Bすなわち1895.15～1917.95MHz用の整合回路9でインピーダンス整合される。整合回路9の出力は帯域B用の終段増幅器10に入力され、増幅されてその出力は周波数帯域B専用の終段整合回路11でインピーダンス整合されて周波数帯域B用の出力端子12に出力される。入力端子1に加わる入力信号は周波数帯域AとBとによってそれぞれ別が発生してもよく、また上記実施の形態と同様に複数帯域共用にしてもよい。

【0023】図2に図1のブロック図の具体的な回路図を示す。図において周波数帯域AおよびBに共通の入力端子1は結合コンデンサC1とコンデンサC2の直列回路に接続され、C2は接地されC1とC2の接続点からコイルL1がトランジスタTR1のゲートに接続されている。以下トランジスタにはすべて高周波用のFET（フィールドエフェクトトランジスタ）を用いるものとする。

【0024】トランジスタTR1は、そのソースが接地され、ゲートには電圧Vg1からコンデンサC3でバイパスされ、コイルL2を介してバイアス電圧が印加され、ドレインには電圧Vd1からコンデンサC5でバイパスされ負荷のコイルL3を介して電圧が印加されて前段増幅器3を構成している。またドレイン-ゲート間にはコンデンサC4、抵抗器R1によるネガティブフィードバックを行い、入力側のコンデンサC2とコイルL1による整合回路のインピーダンス整合の広帯域化と安定化を図り、両者合わせて広帯域整合回路2を形成している。

【0025】トランジスタTR2～TR4および抵抗器R2～R5でスイッチ回路4を構成しており、トランジスタTR2、TR4のそれぞれのドレインは結合されて共通端子4aとなり、トランジスタTR1のドレインとの間にコンデンサC6を接続している。スイッチ回路4は図の接続において端子Vcont1への電圧印加によってトランジスタTR2がオンして共通端子4aと切り換え端子4b間を導通させ、トランジスタTR3のオンによって共通端子4aから切り換え端子4cへの漏洩を接地して共通端子4aと端子4c間を非導通とする。Vcont2への電圧印加によってトランジスタTR4が

オンして共通端子4aと切り換え端子4c間を導通させ、トランジスタTR5のオンによって共通端子4aから切り換え端子4bへの漏洩を接地して共通端子4aと切り換え端子4b間を非導通とする。

【0026】スイッチ回路4の切り換え端子4bはコイルL4とコンデンサC8で構成された周波数帯域A用の整合回路5に接続され、コンデンサC8の他端は接地されコイルL4の他端はコンデンサC9を介して終段トランジスタTR6のゲートに接続される。トランジスタTR6はソースを接地され、電圧Vg2からコンデンサC10でバイパスされコイルL5を介してゲートにバイアス電圧を印加され、一方電圧Vd2からコンデンサC11でバイパスされ負荷のコイルL6を介してドレインに電圧を印加されて帯域A用の終段増幅器6を構成している。終段増幅器6において非線形歪みが発生すると好ましくない不要輻射発生の一因となるので終段整合回路7の調整や回路条件の整合により極力入出力の直線性を追求した線形増幅を行う必要がある。

【0027】そこでトランジスタTR6のドレインはコンデンサ12とともに周波数帯域A専用の終段整合回路7を構成するコイルL7の一端に接続されコイルL7の他端はコンデンサC12で接地されるとともにコンデンサC13を介して周波数帯域A用の出力端子8に接続されている。

【0028】またスイッチ回路4の切り換え端子4cと周波数帯域B用の出力端子12との間も上記と同様の構成であり、スイッチ回路4の他方の切り換え端子4cは周波数帯域B用の整合回路9を構成するコイルL8とコンデンサC14とに接続され、コンデンサC14の他端は接地されコイルL8の他端はコンデンサC15を介して終段トランジスタTR7のゲートに接続されている。終段トランジスタTR7はトランジスタTR6と同様にコンデンサC16、C17コイルL9、L10とともに帯域B用の終段増幅器10を構成しており、トランジスタTR7のドレインはコンデンサC18とともに周波数帯域B専用の終段整合回路11を構成するコイルL11に接続されコイルL11の他端はコンデンサC18で接地されるとともにコンデンサC19を介して周波数帯域B用の出力端子12に接続されている。

【0029】以上のように構成された本実施の形態の動作を次に説明する。まず帯域Aを増幅するとき、端子Vcont1に制御電圧を加えると、抵抗器R2、R3を介してトランジスタTR2、TR3がオンすることによりスイッチ回路4の共通端子4aを切り換え端子4b側に切り換える。入力端子1から940～956MHzの信号を入力して、ゲート側のコンデンサC2、コイルL1による整合回路とトランジスタTR1のドレインからゲートに接続した抵抗器R1とコンデンサC4によるネガティブフィードバックとにより形成された広帯域整合回路2によって940～1917.95MHzの広帯



囲の周波数範囲に対してインピーダンス整合がなされる。そしてトランジスタTR1により構成された前段増幅器3で増幅され、その出力はスイッチ回路4の共通端子4aから切り換え端子4b側に導通し、コンデンサC8とコイルL4とで形成された周波数帯域Aすなわち940～956MHz用の整合回路5でインピーダンス整合される。整合回路5の出力はコンデンサ9によりトランジスタTR6で構成された帯域A用の終段増幅器6に入力され、増幅されてその出力はコイル7とコンデンサ12で構成された周波数帯域A専用の終段整合回路7でインピーダンス整合されて周波数帯域A用の出力端子8に出力される。

【0030】帯域Bを増幅するとき、Vcont2端子に制御電圧を印加して抵抗器R4、R5を介してトランジスタTR4、TR5をオンさせてスイッチ回路4の共通端子4aを切り換え端子4c側に切り換えておき、1895.15～1917.95MHzの信号を入力端子1から入力すると、コンデンサC2、コイルL1による整合回路とトランジスタTR1のドレインからゲートに接続した抵抗器R1とコンデンサC4によるネガティブフィードバックとにより形成された広帯域整合回路2によって940～1917.95MHzの周波数範囲に対してインピーダンス整合がなされ、トランジスタTR1により構成された前段増幅器3で増幅され、その出力はスイッチ回路4の共通端子4aから切り換え端子4c側に導通し、コンデンサC14とコイルL15とで形成された周波数帯域Bすなわち1895.15～1917.95MHz用の整合回路9でインピーダンス整合される。整合回路9の出力はトランジスタTR7で構成された帯域B用の終段増幅器10に入力され、増幅されてその出力はコイルL11とコンデンサC18からなる周波数帯域B専用の終段整合回路11でインピーダンス整合されて周波数帯域B用の出力端子12に出力される。

【0031】各整合回路の整合は、前段増幅器3の出力インピーダンスと負荷インピーダンスとを整合させる整合回路5、9がそれぞれの単一周波数帯域専用であり、また終段増幅器6、10の整合を行う終段整合回路7、11もそれぞれの単一周波数帯域専用であるため、拘束条件が緩和されて設計が容易になり、前段増幅器3に対しては利得を大きくすることに重点をおいて単一の周波数で利得最大となる負荷を実現するように整合回路5、9を構成し、終段増幅器6、10の整合を行う終段整合回路7、11は低歪や高効率特性に重点をおいた特性を実現するように構成することができる。

【0032】上記の実施形態では2つの周波数帯域の場合を例示したが、スイッチ回路4の回路数を増加し、整合回路や終段増幅器を追加することによって3またはそれ以上のn個の複数周波数帯域に用いることができるのは当然であり、そうすればさらに素子数の低減の効果を高められるものである。

【0033】以上のように本実施形態によれば、前段増幅器3まではすべての使用周波数帯域において共通であり、回路素子数を低減して回路構成を簡単にでき、また切り換えスイッチ回路4が低電力レベルの箇所にあるのでスイッチ回路の素子も小さくて済み、さらに負荷インピーダンスの不整合があると損失が大きくなり線形性が悪化して不要輻射の増大につながる高いレベルでの整合回路は各帯域ごとに設けたので、整合回路の設計を容易にして回路性能を最大に保ちながら回路構成を簡単にすることができる。

【0034】（実施の形態2）つぎに本発明の実施の形態2について、図3および図4を用いて説明する。本発明の実施の形態2の複数周波数帯域高効率高効率線形電力増幅器のブロック図である図3において、実施の形態1の図1との差異は広帯域整合回路2aの構成を変えたことと、前段増幅器3aの直後に補助整合回路13を設けたことであり、それに対応して各周波数帯域ごとの整合回路5a、9aの構成も変更している。これによって帯域A、帯域Bそれぞれの整合回路5a、9aの整合素子の一部を補助整合回路13で共通化して整合素子数の低減を図っている。この内容の具体的な説明を以下、図4の具体的な回路図をもとに説明する。

【0035】図4において実施形態1の図2と同一機能の部分には同一符号を付けて説明を省略する。入力端子1に接続された結合コンデンサC1の他端にコイルL1aとコンデンサC2aが接続され、コンデンサC2aの他端は接地されコイルL1aの他端にはコイルL1bとコンデンサC2bが接続され、コンデンサC2bの他端は接地されコイルL1bの他端はトランジスタTR1のゲートに接続されている。実施の形態1と異なり、コイルL1a、L1b、コンデンサC2a、C2bによって広帯域整合回路2aを形成している。実施の形態1の図2においてはトランジスタTR1にフィードバックを施して広帯域化と安定化を行ったが、フィードバックを用いない方が利得は高いが設計が困難となるので利害得失を考えて選択すべきである。

【0036】トランジスタTR1のドレインと接地との間には補助整合手段13のキャパシタンスとしてのコンデンサC20が接続され、またトランジスタTR1のドレインとスイッチ回路4dの共通端子4aとの間には結合コンデンサC6aが接続されている。スイッチ回路4dの端子4bには単一周波数帯域整合手段のインダクタンスとしてのコイルL4が接続され、コイルL4の他端は結合コンデンサC9aを介してトランジスタTR6のゲートに接続されている。一方スイッチ回路4dの切り換え端子4cには単一周波数帯域整合手段のインダクタンスとしてのコイルL8が接続され、コイルL8の他端は結合コンデンサC15aを介してトランジスタTR7のゲートに接続されている。コンデンサC20とコイルL4とで帯域A用の整合回路5aを構成し、コンデンサ



C20とコイルL8とで帯域B用の整合回路9aを構成している。コンデンサ20は二つの整合回路に共通となっているのでこれを補助整合回路13としている。コンデンサ20は両整合回路に共通なため合わせてコンデンサを1個低減できることと、この位置にコンデンサ20を配置することによってトランジスタTR1の出力インピーダンスが低いために起きる損失を改善することができる。

【0037】この理由を図5によって説明する。一般に前段または終段のFETの出力インピーダンスはショートに近い低いインピーダンスを持つ。いま仮にFETの出力インピーダンスを5Ωとして図5(a)のX1点で50Ωの負荷に対して整合回路を含めて共役インピーダンスになるように整合回路を整合させて、図5(b)の等価回路に示すように出力負荷を5Ωにすれば最大利得を得られる。ところが図3、図4に示すように前段増幅器3aの後にはスイッチ回路4dが入っており、この損失を図5(c)のように表わすとFETの出力インピーダンスが低いためにスイッチ回路4dの損失が無視できない値となる。この抵抗値を仮に2.5Ωとすれば図5(d)の等価回路のようにFETの出力負荷インピーダンスは5Ωであるからスイッチ回路のインピーダンスは2.5Ω、負荷を含む整合回路の見かけのインピーダンスは2.5Ωとなり、利得は半分になってしまう。

【0038】本実施例ではコンデンサC20による補助整合回路13を用いているので、図5(e)のX3点からFET側を見た出力インピーダンスが高くなり、たとえば仮に20Ωまで高まるとしたら最大利得時のスイッチ回路の損失を除いた見かけの負荷インピーダンスは17.5Ωとなり、これに対するスイッチ回路の損失は図5(f)の等価回路のように図5(d)の場合に比べて割合が小さくなり、スイッチ回路の損失があまり問題にならなくなる。

【0039】図6を用いて補助整合回路13によりFETの出力インピーダンスが上昇するプロセスを説明する。図6においてFETの出力インピーダンスが低インピーダンス(たとえば5Ω)でスミスチャートの容量性の点gの位置にあるとき、伝送線路(FETのパッケージのピンやボンディングワイヤ)の影響によって図の上側(誘導性)の点hのインピーダンスに変換される。さらにそこに並列にコンデンサC20を配置することにより図のようにスミスチャートの内側の点i(たとえば20Ω)のインピーダンスへと変換される。

【0040】なお、スイッチ回路4dの図2のスイッチ回路4との差異は、抵抗器R4、R5にインバータIn1を介して制御電圧を加えることであり、このため図2と異なるのは制御電圧を正または負にすることによってスイッチ回路の接続を変換できる点であり、両者の差異は本質的なものではない。

【0041】またトランジスタTR1~TR3のゲート

へのバイアス電圧は図4のコイルL2、L5、L9に代えて抵抗器を通じて引加しても、高インピーダンスが得られれば差し支えない。さらに例示の各種のコイルは周波数が高くなった場合はマイクロストリップライン等のインダクタンス素子を用いても良いのはいうまでもない。

【0042】このように本実施の形態においては、実施の形態1の作用効果に加えて前段増幅器3aの直後に補助整合回路13を設け、この補助整合回路13がスイッチ回路4dを通過した後に設けた帯域A、B用の整合回路5a、9aの回路素子、具体的にはコンデンサを共通化したことによって、回路素子数を低減することができる。とともに、前段増幅器3の出力に設けたコンデンサC20によってFETの出力インピーダンスを上昇させるので、スイッチ回路4dでの損失を相対的に低減してFETの出力インピーダンスが低いために起きる損失を改善できるものである。この場合コンデンサC20の代わりに幅の広い低インピーダンス線路を用いればこの低インピーダンス線路はインダクタンスとしてではなくキャパシタンスとして働くのでコンデンサ同様の効果を得ることができる。

【0043】また本実施の形態でも2つの周波数帯域の場合を例示したが、スイッチ回路の回路数を増加し、整合回路や終段増幅器を追加することによって3またはそれ以上のn個の複数周波数帯域に用いることができるのは当然であり、さらに素子数の低減の効果を高められるものである。

【0044】なお実施の形態1、2とも入力端子1の直後に設けた広帯域整合回路は利得の損失を無視すれば省略してもよい。

【0045】(実施の形態3) つぎに上記第1および第2の実施形態の回路を集積回路化する場合について説明する。図1における全ブロックすなわち破線14に囲まれた部分または図3における全ブロックすなわち破線17に囲まれた部分を同一半導体チップ上で実現する。このように構成することによって各部品間の間隔を縮め不要なインダクタンスやキャパシタンスの発生を防ぎ回路動作を安定化させ、かつ構成部品数を減少することができ、特に同一条件の製品を大量に生産する場合に好適である。

【0046】なお、出力端子8、12の外部条件が異なる場合等に対応するためには終段整合回路7、11を外付け部品として図1の破線15に囲まれた範囲、すなわち広帯域整合回路2、前段増幅器3、スイッチ回路4、整合回路5、9、終段増幅器6、10を含む部分、または図3の破線18に囲まれた範囲、すなわち広帯域整合回路2a、前段増幅器3a、スイッチ回路4d、整合回路5a、9a、終段増幅器6、10を含む部分を同一半導体チップ上で実現する方が生産数量等を勘案すれば汎用性があり多くの機種に適用する範囲が広がることも考

えられる。同様に図1の破線16に囲まれた範囲、すなわち広帯域整合回路2、前段増幅器3、スイッチ回路4を含む部分、または図3の破線19で囲まれた範囲すなわち広帯域整合回路2a、前段増幅器3a、スイッチ回路4dを含む部分のみを同一半導体チップ上で実現することも考えられる。この場合周波数範囲や出力が異なる場合にも適用でき、また終段増幅器のパワーが大きく発熱による他部品への影響があるような場合にも好適である。

【0047】なおここでは入力端子1以後の各破線で囲まれた部分を同一半導体チップ上に構成する場合を説明したが、少なくとも上記の範囲を含み、上記の入力端子1より前段の回路を同一半導体チップ上に構成することは差し支えない。

【0048】なお例示した個数やインピーダンスや周波数等の数値は一例であり、この値に限定されるものではない。また以上各実施の形態における回路構成の細部は任意に変更または同様な機能の他の回路で置き換えることができ、特許請求の範囲内での細部の変更は可能であり、例示の回路構成に限定されるものではない。

【0049】

【発明の効果】以上説明したように本発明の複数周波数帯域高効率線形電力増幅器の請求項1の構成によれば、前段増幅手段まではすべての使用周波数帯域において共通であり、回路素子数を低減して回路構成を簡単にでき、また複数周波数帯域切り換え手段が低電力レベルの箇所にあるので切り換え素子も小さくて済み、さらに負荷インピーダンスの不整合があると損失が大きくなり線形性が悪化して不要輻射の増大につながる高いレベルでの単一周波数帯域整合手段や終段整合手段は各周波数帯域ごとに設けたので、回路性能を最大に保ちながら回路素子数を低減し回路構成を簡単にすることができる。

【0050】また請求項2および4の構成によれば、請求項1の構成がもたらす効果に加えて前段増幅手段の直後に設けた補助整合手段が複数周波数帯域切り換え手段を通過した後に設けた単一周波数帯域整合手段の回路素子と協働することによって、具体的には共通に用いる補助整合回路のキャパシタンスまたは低インピーダンス線路と各単一周波数帯域整合手段のインダクタンスとの組み合わせによりキャパシタンスを共通化したことによつて、さらに回路素子数を低減するとともに、補助整合回

路のキャパシタンスによってトランジスタの出力インピーダンスを高めることができトランジスタの出力インピーダンスが低いために起きる損失を改善できる。

【0051】さらに請求項3の構成およびその具体的な展開である請求項5の構成によれば、請求項1および2の構成がもたらす効果に加えて、さらに利得の向上を得ることができるという有利な効果が得られる。

【0052】請求項6ないし14の構成により本発明の構成要素を全部または部分的に同一半導体チップ上に一体化すれば、各部品間の間隔を縮め不要なインダクタンスやキャパシタンスの発生を防ぎ回路動作を安定化させ、かつ構成部品数を減少することができ、また負荷インピーダンスや周波数範囲その他の変化に対応して半導体チップ上の構成要素の範囲を変えて対応することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1の複数周波数帯域高効率線形電力増幅器のブロック図

【図2】同じくその具体的な回路図

【図3】本発明の実施の形態2の複数周波数帯域高効率線形電力増幅器のブロック図

【図4】同じくその具体的な回路図

【図5】同じく整合回路の動作説明図

【図6】同じく補助整合回路の動作説明図

【図7】従来の複数周波数帯域高効率線形電力増幅器のブロック図

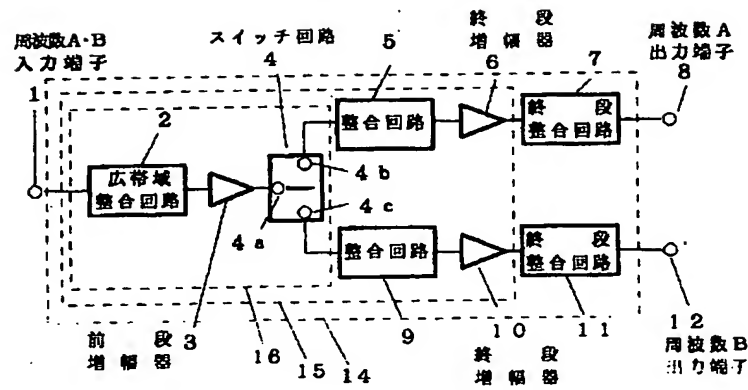
【図8】同じく他の従来の複数周波数帯域高効率線形電力増幅器のブロック図

【図9】終段電力増幅器の出力インピーダンスと負荷インピーダンスを示すインピーダンスチャート

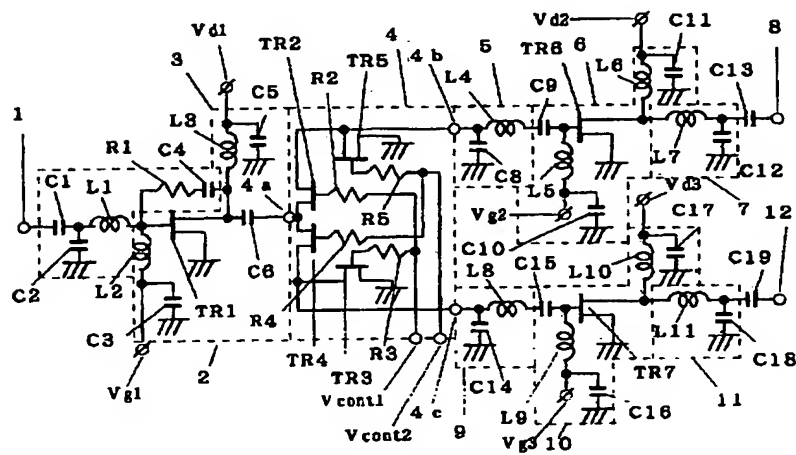
【符号の説明】

- 1 入力端子
- 2 広帯域整合回路（広帯域整合手段）
- 3 前段増幅器（前段増幅手段）
- 4 スwitch回路（複数周波数帯域切り換え手段）
- 5, 9 整合回路（単一周波数帯域整合手段）
- 6, 10 終段増幅器（終段増幅手段）
- 7, 11 終段整合回路（終段整合手段）
- 8, 12 出力端子
- 13 補助整合回路（補助整合手段）

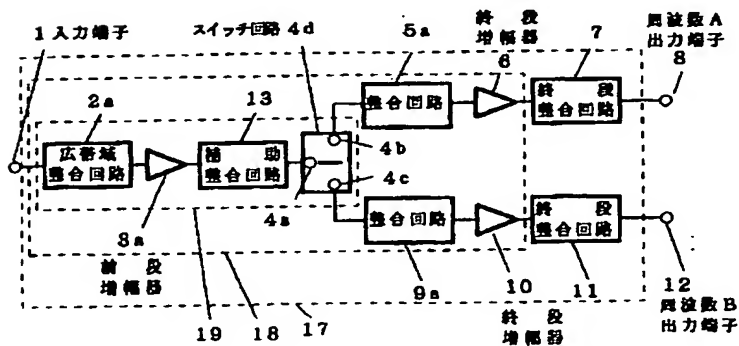
【図1】



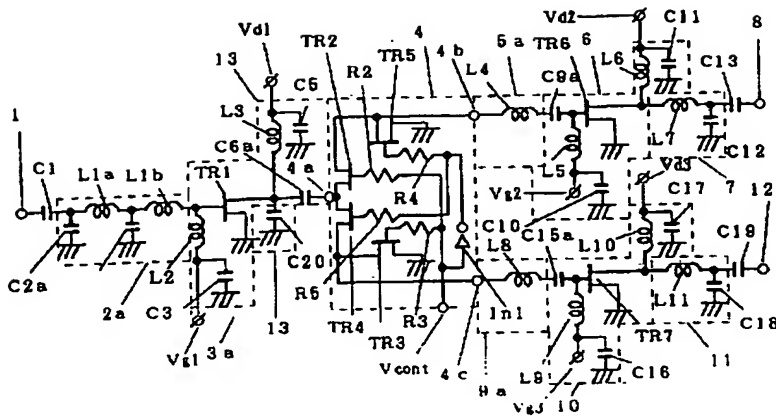
【図2】



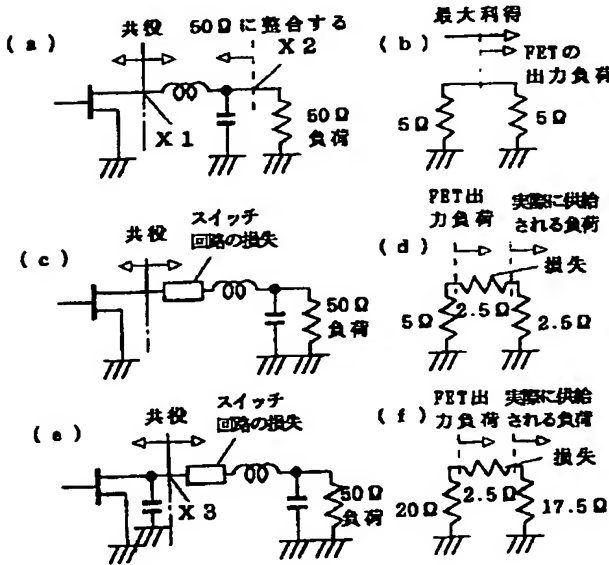
【図3】



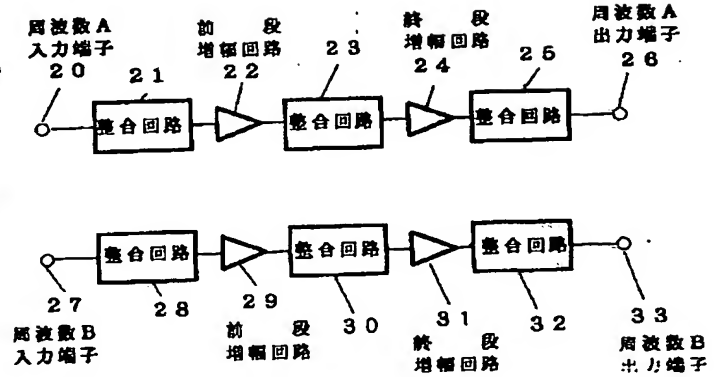
【図4】



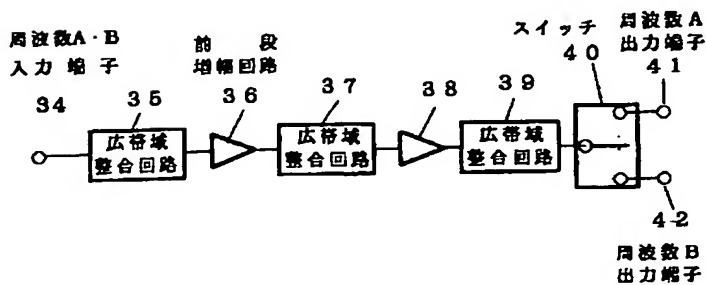
【図5】



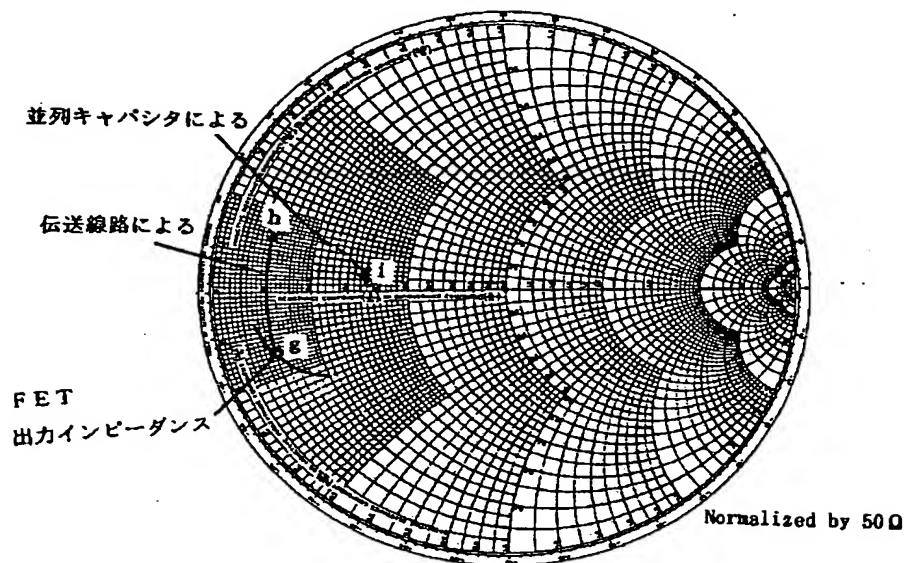
【図7】



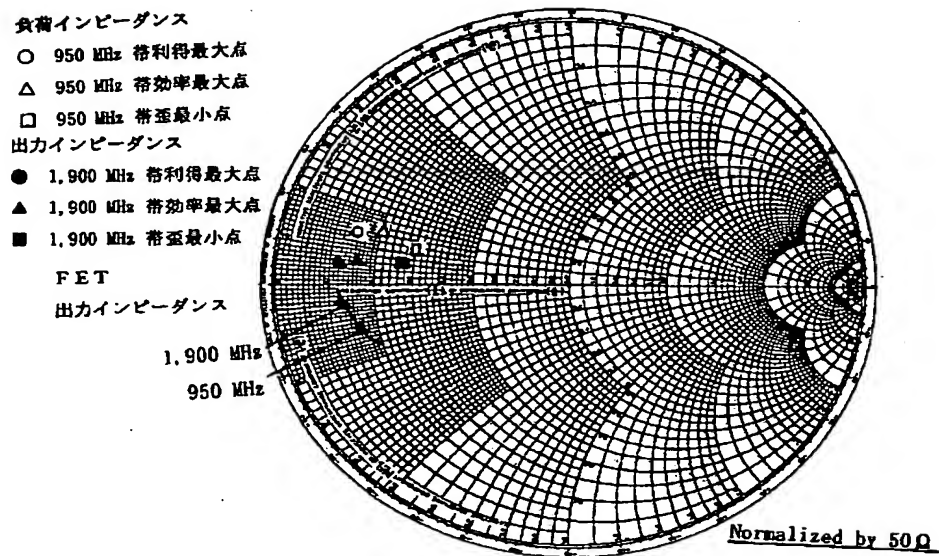
【図8】



【図6】



【図9】



フロントページの続き

(72)発明者 榎 貴志  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 加藤 英信  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内